

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-030000

(43)Date of publication of application : 15.02.1985

(51)Int.CI.

G11C 29/00

(21)Application number : 58-138515

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 27.07.1983

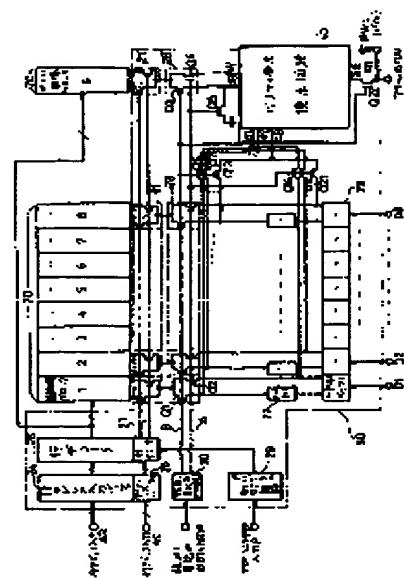
(72)Inventor : HARIMA KANICHI

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To detect quickly a fault of the memory information and to improve the system reliability by providing a function to a memory device to automatically produce a parity signal and check the parity.

CONSTITUTION: A parity memory block 9 is provided into a nonvolatile memory array 20 to store the parity information to the same addresses as information memory blocks 1W8. A parity generation detecting circuit 40 produces the parity information corresponding to those of the blocks 1W8 in a write mode. In a read mode the parity information of the block 9 is used to give the parity check to the information of the blocks 1W8. Then signals d1Wd8 are supplied to the circuit 40 through TRQ14WQ21 when each data input is delivered from a buffer 23 in a write mode. The circuit 40 adds an output W to the sum of the inputs d1Wd8 in a write mode to decide an even number of the W and writes it to the block 9. For an alarm output ΣE of the circuit 40, a TRQ22 is kept off so that the alarm output A1 is set at a high level regardless of an even or odd number of the sum of the inputs d1Wd8.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑪ 公開特許公報 (A)

昭60-30000

⑤ Int.Cl.⁴

G 11 C 29/00

識別記号

庁内整理番号

④ 公開 昭和60年(1985)2月15日

7922-5B

審査請求 未請求

発明の数 1 (全 7 頁)

⑥ 発明の名称 半導体メモリ装置

⑦ 特願 昭58-138515

⑧ 出願 昭58(1983)7月27日

⑨ 発明者 張間 寛一 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所
内

⑩ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑪ 代理人 弁理士 大岩 増雄 外2名

明細書

1. 発明の名称

半導体メモリ装置

2. 特許請求の範囲

(1) 書込み、読み出しの並列動作が可能な複数の情報記憶ブロックと該情報記憶ブロックの各アドレスと同一アドレスにそのバリティ情報を記憶するバリティ記憶ブロックとを有する不揮発性メモリアレイと、書込みモード時上記情報記憶ブロックの情報に対しバリティ情報を発生し読み出しあり得時上記バリティ記憶ブロックのバリティ情報を用いて上記情報記憶ブロックの情報をバリティチェックするバリティ発生検出回路と、上記情報記憶ブロックおよびバリティ記憶ブロックと上記バリティ発生検出回路との間での上記情報あるいはバリティ情報の読み出し書き込みを行なう読み出し書き込み手段とを備えたことを特徴とする半導体メモリ装置。

(2) 上記不揮発性メモリアレイが、フローティングゲート型電界効果トランジスタを用いたもの

であることを特徴とする特許請求の範囲第1項記載の半導体メモリ装置。

(3) 上記不揮発性メモリアレイが、M N O S型電界効果トランジスタを用いたものであることを特徴とする特許請求の範囲第1項記載の半導体メモリ装置。

3. 発明の詳細な説明

本発明は、不揮発性メモリトランジスタを記憶要素として用いた半導体メモリ装置に関するものであり、信頼性の高いシステムを得るためにメモリ装置を提供せんとするものである。

不揮発性メモリトランジスタとしてはさまざまな物理現象を利用したものが提案され、又使用されている。このうち特に広く使用されているものにF A M O S (Floating -gate Avalanche-injection M O S) 構造と呼ばれるものがある。

第1図にこのF A M O S構造トランジスタの断面図を示す。図において、1 0はP型半導体基板、1 1, 1 2は不純物からなるN⁺層で、トランジスタのドレイン、ソースとなる。又、1 3はフロー

ティングゲートと呼ばれるポリシリコンから成る電極で、絶縁膜 14 中に完全に電気的に分離されている。15 はコントロールゲートと呼ばれるポリシリコン電極である。

ここでこのトランジスタの動作を簡単に説明する。このトランジスタはフローティングゲート 13 の電荷の有無を情報 "1", "0" に対応させて情報を記憶するものである。

電荷（この場合は電子）が注入されていない時は、このトランジスタは、第 2 図の a のようなコントロールゲート電圧、ドレイン電流特性を示すが、電荷が注入されると第 2 図の b のように特性がシフトする。

電子の注入はドレイン 11 及びコントロールゲート 15 に高電圧を印加することにより行なわれ、注入された電子は、フローティングゲート 13 が絶縁物 14 におおわれているために長くここに留まり、情報として記憶される。記憶される時間は室温では数万年といった天文学的な数字になっており、実使用期間と思われる 10 ~ 20 年に対し

て全く問題はない。

読出しは注入される前、後のドレイン電流が流れ始める各コントロール電圧の中間の電位を印加することにより、ドレイン電流が流れるかどうかでチェックされる。

又、情報の消去は、通常、紫外光を照射してフローティングゲート 13 の電子にエネルギーを与えて励起し、ここから電子を追い出すことによって行なわれる。

第 3 図に FAMOS トランジスタを用いた従来の半導体メモリ装置のブロック図を示す。図中、不揮発性メモリアレイ 20 には行列状の FAMOS トランジスタが配列されている。このメモリアレイ 20 部分は 8 個の情報記憶ブロック 1 ~ 8 に分割されており、それぞれのブロック 1 ~ 8 に対応した列ゲート回路 21, センスアンプ 22, データ入出力バッファ 23 がブロック毎に独立して設けられている。入力された行および列アドレス入力 A_R, A_C はそれぞれ行および列アドレス入力バッファ 24 及び 25 に入り、デコード 26 及

び 27 を通り、その結果行及び列が 1 つ選択され、これによりアドレス入力に対応した番地が各メモリブロックから並列にアクセスできる。すなわち、デコード 26, 27 から出力される行、列信号は並列に 8 個のメモリブロック 1 ~ 8 に入力され、並列に 8 つのメモリブロック 1 ~ 8 がアクセスされる。8 つのメモリブロック 1 ~ 8 は列ゲート回路 21, 読出し書込み切換えゲート 28 を介してそれぞれセンスアンプ 22, データ入出力バッファ 23 に接続されている。

また読出し書込み制御回路 30 はその制御入力 R_W に応じて読出し書込み切換ゲート 28 中のトランジスタ Q1, Q2 をオン、オフあるいはオフ、オン状態とし本メモリ装置を読出しあるいは書込みモードに設定するものである。プログラム制御回路 29 はプログラム、即ち不揮発性メモリトランジスタへの高電圧の印加を制御するものである。なお 50 は上記不揮発性メモリアレイ 20 を除くすべての回路 21 ~ 30 により構成され、不揮発性メモリアレイ 20 と外部との間でデータの読出

し、書込みを行なう読出し書込み手段である。

次に動作について説明する。

このメモリ装置の動作は基本的に次のとおりである。まずメモリへの情報の書込みにあたって、プログラム電源 V_{PP}, 回路動作電源 V_{CC} を供給し、動作モード信号、即ち読出し書込み制御入力 R_W を書込みモードにする。そうすれば信号 A がハイになり、例えばブロック 1 についてはトランジスタ Q2 がオンし後述するデータ信号 D1 がメモリに伝達されることになる。この後書込みたい番地を行、列アドレス入力信号 A_R, A_C により指定する。このアドレス入力信号 A_R, A_C は前述したように並列に 8 つのメモリブロック 1 ~ 8 にアクセスされる。つぎに前述したようにデータ入出力信号 D1 ~ D8 を外部から与える。この状態でプログラム制御回路 29 にプログラム制御信号すなわち書込み信号 P を入力する。

こうすることにより選択された番地のトランジスタのドレイン、コントロールゲート間に高電圧が印加され（書込む必要のない時はデータにより

高圧にならない場合もある）、書き込み、すなわち電子の注入が行なわれる。

読出し動作も以上の書き込み動作と殆ど同じように行なわれる。すなわち、すでに情報が入力されているメモリに対して動作モードを読出しモードにした（すなわち信号Bをハイにして、トランジスタQ1をオン、Q2をオフにする）後、読出したい番地を、アドレス入力信号AR、ACを入力することにより選択する。この時も並列に8個のトランジスタの記憶内容がセンスアンプ22を介して読み出される。すなわち、行デコーダ26で指定されたトランジスタのコントロールゲートに読み出し電圧が印加されると同時に、列デコーダ27で指定されたメモリトランジスタのドレインがセンスアンプ22に接続される。この後データ入出力バッファ23で信号が増幅されて外部に読み出しだとして出力される。

ところで、FAMOS構造トランジスタは平均的には長い保持特性を持っているが、フローティングゲートをとりまく絶縁膜に欠陥があれば、注

入された電子がそこから逃げるという欠点を併せもつ。注入された電子が逃げるということは記憶した情報が消失するということであり、メモリ装置としては致命的である。欠陥は最近の製造技術の進歩により殆どなくなっているが、完全に“0”にすることは不可能に近い。そこでこのような欠陥があるものをチェックする方法として予め情報が書き込まれたメモリ装置を高温度条件下に保持し、欠陥から逃げる電子の動きを加速することにより、欠陥のあるメモリ装置をスクリーニングする方法などが実際に用いられているが、時間、装置などコスト高になる要因となっている。

本発明は不揮発性メモリ装置のかかる欠点に着目してなされたもので、メモリ装置にバリティ信号発生及びバリティチェックを自動的に行なう機能を持たせることにより、メモリ情報の異常を早く検知でき、メモリ装置を用いたシステム全体の信頼性を向上できる半導体メモリ装置を提供することを目的としている。

以下、この発明の一実施例を図について説明す

る。

第4図は本発明の一実施例による半導体メモリ装置を示し、図において、第3図と同一符号は同一のものを示す。9は不揮発性メモリアレイ20内に増設されたバリティ記憶ブロックで、情報記憶ブロック1～8と同一アドレスにそのバリティ情報を記憶するものである。40はバリティ発生検出回路で、書き込みモード時情報記憶ブロック1～8の情報に対するバリティ情報を発生し、読み出しモード時バリティ記憶ブロック9のバリティ情報を用いて情報記憶ブロック1～8の情報をバリティチェックするものである。

なお本実施例において、読み出し書き込み手段50は列ゲート回路21'及びトランジスタQ3、Q4からなる読み出し書き込み切換えゲート28'が各1個バリティ記憶ブロック9に対応して増設されるとともに、トランジスタQ5～Q21が追加されており、以上の回路の追加によって情報記憶ブロック1～8およびバリティ記憶ブロック9とバリティ発生検出回路40との間で情報あるいはバ

リティ情報の読み出し書き込みを行なう機能が付加されている。またQ22はトランジスタ、R1は抵抗、Vccは+5Vの電源、A&はバリティエラーを示すアラーム出力である。

次に動作について説明する。先ず書き込みであるが、アドレス入力AR、ACにより選択された番地のメモリが行デコーダ26、列デコーダ27出力により各行、各列ともに1個ずつ並列に8ブロックのメモリについて指定されることによりその番地がアクセスされる。

この時読み出し、書き込み制御入力RWを書き込みモードにすることにより信号Aをハイにする。この時信号Bはロウとなり、こうすることによりトランジスタQ1、Q2はそれぞれオフ、オン状態となり、端子D1から入力されたデータ入力がトランジスタQ2を通して、書き込みデータとしてメモリアレイブロック1に入力される。そしてこのような動作は他の端子D2～D8についても同様である。

この後プログラム制御入力Pを入力することに

より、アクセスされたメモリのドレイン、ゲート間にデータにより高電圧が印加され、書き込みが行なわれる。

本発明の特徴の1つはこの時、各データ入力D₁～D₈がバッファ23から出力される時点でそれぞれトランジスタQ14～Q21を通して信号d₁～d₈としてバリティ発生検出回路40に入力されていることである。そしてこのトランジスタQ14～Q21のゲートは書き込みモード時ハイとなる信号Aに接続されている。又信号AはトランジスタQ4のゲートにも接続されており、書き込みモード時に、バリティ発生検出回路40の出力Wが、メモリブロック1～8をアクセスするデータ26、27出力が並列に入力されているバリティデータ書き込みのためのメモリブロック9に、トランジスタQ4を介して入力されるようになっている。

ところで、読み出し書き込み制御ゲート28において、トランジスタQ3は読み出し時に使われるもので、書き込み時は信号Bがロウのためオフ状態に

なっている。又、信号Aは同時にトランジスタQ5のゲートにも入力されているため、バリティ発生検出回路40への入力d₉にトランジスタQ5を通してロウレベルが入力される。

バリティ発生検出回路40は例えば第5図のような論理回路で構成されており、図中、I1～I21はインバータ、A1～A20はアンドゲート、N1～N5はノアゲートである。この回路40自身の動作は一般によく知られており（'80三菱半導体データブック P2-266参照）、その動作は第6図に示すような真理値で表わされる。すなわち、入力d₉を“0”に固定すれば、入力d₁～d₈の合計が偶数であれば“0”，奇数であれば“1”を出力Wに出す。すなわちバリティ発生検出回路40はメモリの書き込み時において出力Wを入力d₁～d₈の合計に加えて偶数になるように、出力W値が決まるようになっている。

出力WはトランジスタQ4を通してメモリブロック9のメモリに書き込みデータとして入る。つまりメモリブロック1～8とブロック9の同一アド

レスのデータの合計が偶数になるようにメモリブロック9にデータが書き込まれるわけである。この時バリティ発生検出回路40のアラーム出力ΣEは書き込みモードであるため入力d₁～d₈の合計が偶数、奇数のいずれでもアラーム出力A&が共にハイになるように、トランジスタQ22がオフしており、抵抗R1で電源Vccにプルアップされている。

さて次に読み出し時の動作であるが、アドレス入力AR、ACに応じてメモリブロック1～9が並列に選択されることにより始まる。

今、読み出し書き込み制御入力RWを読みしモードにすることにより信号Bがハイ、信号Aがロウになり、各ブロックのメモリ内容がトランジスタQ1、Q3などを通してセンサスアンプ22に入力される。ブロック1～8のメモリ内容はデータ入出力バッファ23を通して端子D₁～D₈に出力され、ブロック9の内容はトランジスタQ3を通じて、バリティ発生検出回路40に信号d₉として入力される。読みしモードではトランジスタQ6

～13はオンし、トランジスタQ14～Q21はオフしているためブロック1～8のメモリ内容は信号d₁～d₈としてバリティ発生検出回路40に入力される。この時信号d₉の内容は書き込みモードで信号d₁～d₉の合計が偶数になるようになっているためこの読みしモードでも信号d₁～d₉の合計が偶数になるようになっている筈である。その読みしモード時のバリティ発生検出回路40の真理値表を第6図(b)に示す。

メモリブロック1～9から読み出されたデータd₁～d₉の合計が偶数であるとアラーム出力ΣEは“1”的ままであるが、もしそのうちの1つでも異常が生じ合計が奇数になると、アラーム出力ΣEは“0”となる。そしてこの信号ΣEが“0”であれば異常であると定義しておけば、読みしモードでトランジスタQ22はオンとなっているのでアラーム出力A&にはこの信号ΣEが出力され、そのレベルをセンスするようなシステムにしておけば、この信号A&を情報消失のアラーム信号として使用できる。

なお信号Wは正常、異常時にそれぞれ“0”、“1”になるが、読み出しモード時はトランジスタQ4がオフしているため、データとしてはメモリアレイ20にはインプットされない。

なお上記実施例では不揮発性メモリトランジスタとしてFAMOS構造トランジスタを用いたものを示したが、MNOS型電界効果トランジスタ等、他の不揮発性メモリトランジスタを用いることもできる。

以上のように、この発明によれば、従来のメモリ装置にバリティ情報記憶用のメモリアレイブロック及びバリティ発生検出回路を加え、バリティチェックを自動的に行えるようにしたので、不揮発性メモリの情報消失を自動的に検知でき、システムの大幅な信頼性の向上を図ることが可能である。

4. 図面の簡単な説明

第1図はFAMOS構造トランジスタの断面図、第2図は第1図のトランジスタのコントロール電圧、ドレイン電流特性を示す図、第3図は従来の

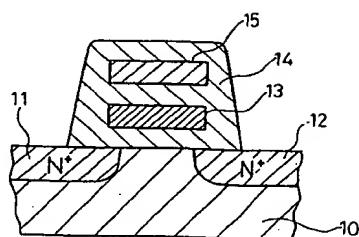
半導体メモリ装置を示すブロック図、第4図は本発明の一実施例による半導体メモリ装置を示すブロック図、第5図は第4図のバリティ発生検出回路の構成例を示す図、第6図(a)、(b)はそれぞれ第4図のバリティ発生検出回路の書き込み時および読み出し時の動作の真理値表を示す図である。

1～8…情報記憶ブロック、9…バリティ記憶ブロック、20…不揮発性メモリアレイ、40…バリティ発生検出回路、50…読み出し書き込み手段。

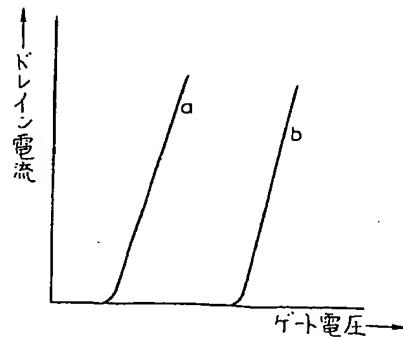
なお図中、同一符号は同一又は相当部分を示す。

代理人 大岩増雄 Q

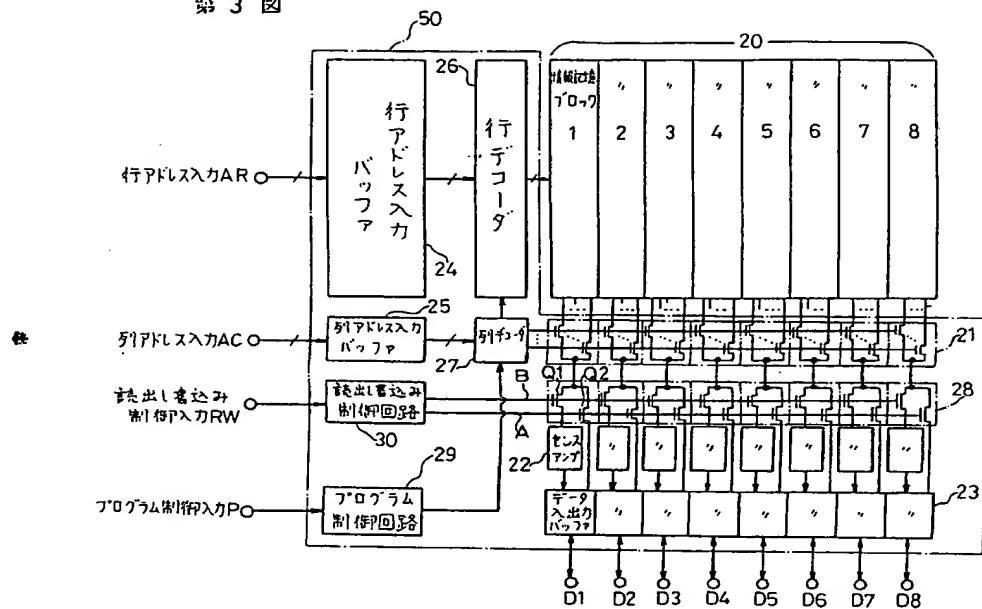
第1図



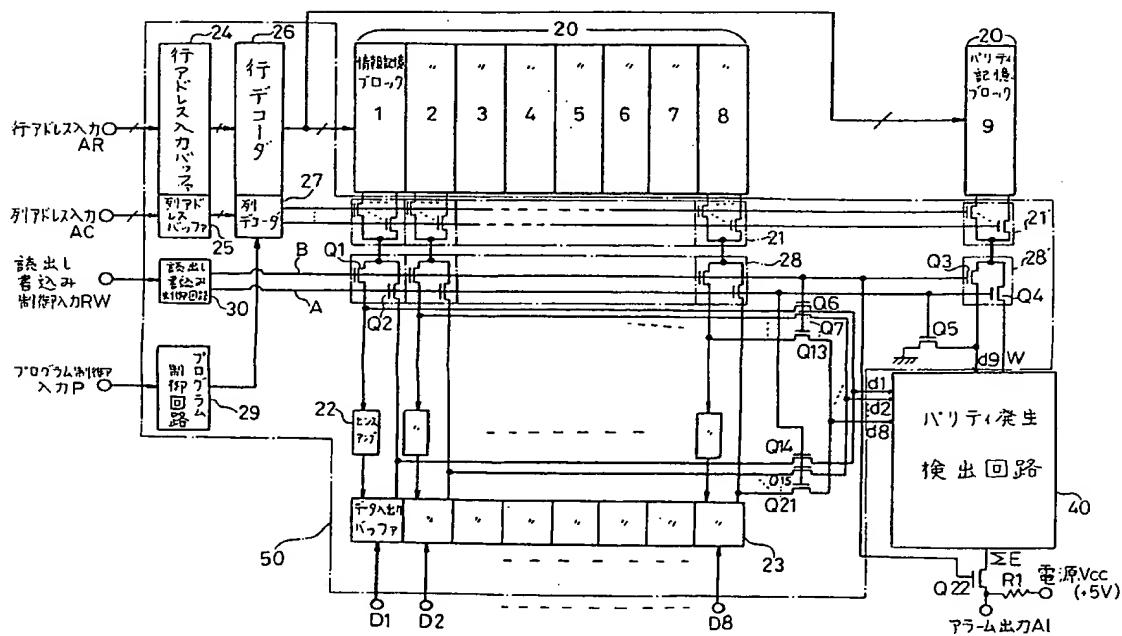
第2図



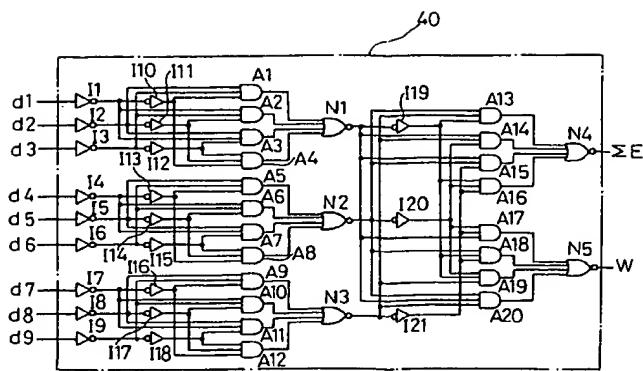
第3図



第4図



第 5 図



第 6 図

(a)

d1	d2	d3	d4	d5	d6	d7	d8	d9	W	ΣE
→ (合計が偶数) →								0	0	1
→ (合計が奇数) →								0	1	1

(b)

	d1	d2	d3	d4	d5	d6	d7	d8	d9	W	ΣE
正常時	→ (合計が偶数) →								0	1	
異常時	→ (合計が奇数) →								1	0	